

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-211861

(43)Date of publication of application : 11.08.1995

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 06-005503

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 24.01.1994

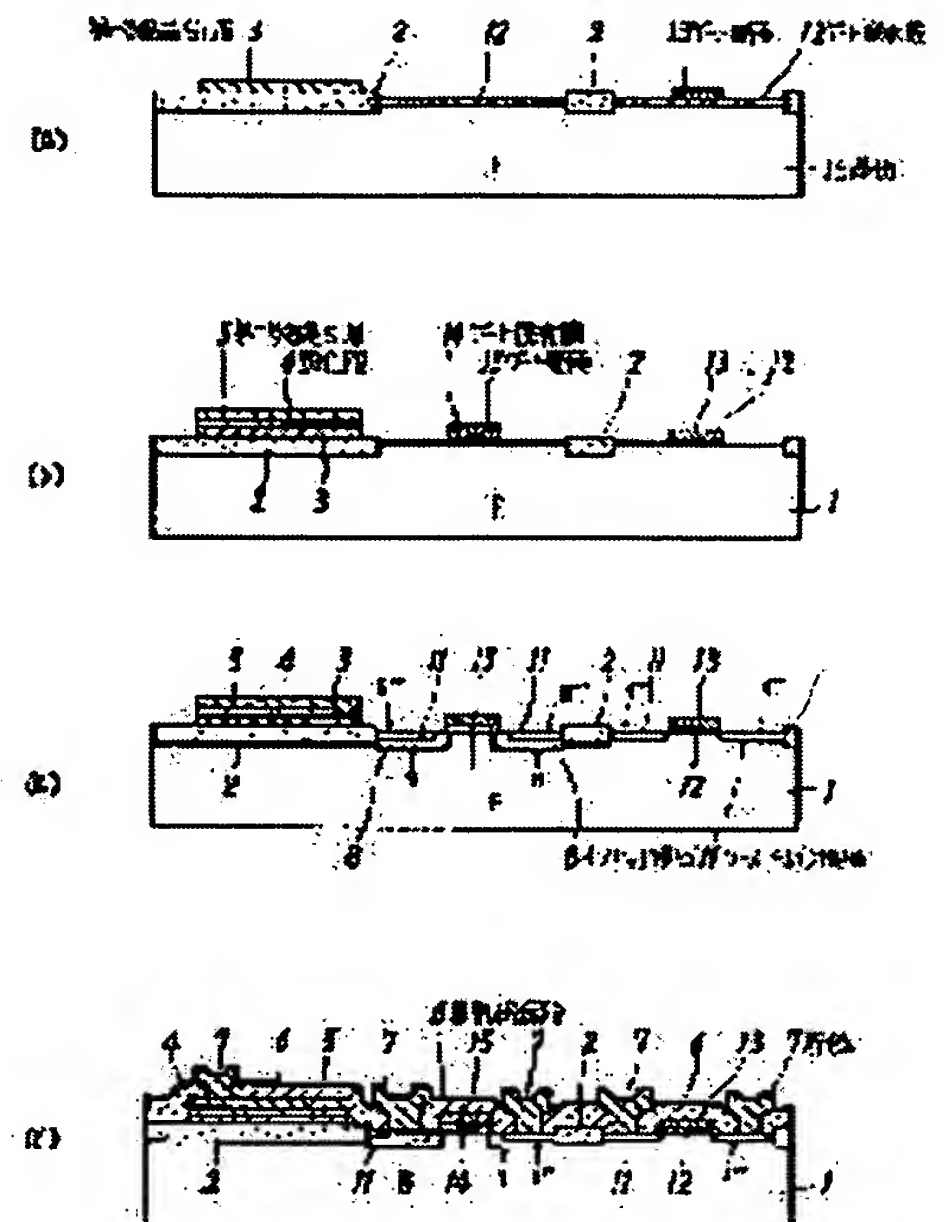
(72)Inventor : FUJIMOTO TAKUMI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a semiconductor device, wherein floating capacitance is contained on a silicon substrate on which a high withstand-voltage MOSFET and a low withstand-voltage MOSFET are integrated with less number or steps.

CONSTITUTION: A gate electrode layer 13 of a low withstand-voltage resisting MOSFET is formed on a thin gate oxide film 12 at the same time as a first polycrystalline Si layer 3 of a lower conductor of a floating capacitance. A thick gate oxide film 14 of a high withstand-voltage MOSFET is formed at the same time as an intermediate dielectric layer, which is formed on the layer 13. A gate electrode layer 15 of the high withstand-voltage MOSFET is formed at the same time as a polycrystalline Si layer 5 of the upper conductor of the capacitor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-211861

(43) 公開日 平成7年(1995)8月11日

(51) Int. Cl.<sup>6</sup>

H01L 27/04  
21/822

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/04

C

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平6-5503  
(22) 出願日 平成6年(1994)1月24日

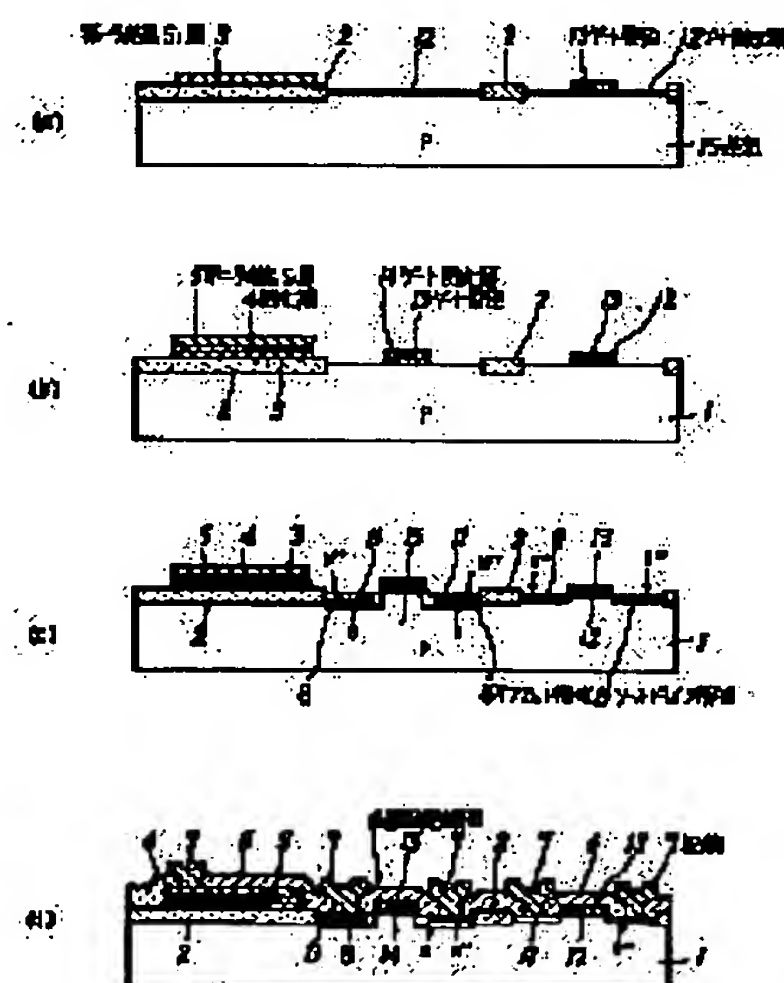
(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72) 発明者 藤本 卓巳  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74) 代理人 弁護士 山口 順

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【目的】 高耐圧MOSFETおよび低耐圧MOSFETを集積したシリコン基板上にフローティングキャパシタンスを内蔵させた半導体装置を少ない工程数で製造する。

【構成】 フローティングキャパシタンスの下部導体の第一多結晶Si層3と同時に薄いゲート酸化膜1・2の上に低耐圧MOSFETのゲート電極層1・3を形成し、その上に形成する中間誘電体層と同時に高耐圧MOSFETの厚いゲート酸化膜1・4で形成し、キャパシタの上部導体の多結晶Si層5と同時に高耐圧MOSFETのゲート電極層1・5を形成する。



【特許請求の範囲】

【請求項 1】 MOS型電界効果トランジスタが集積されるシリコン基板上に絶縁層を介して第一多結晶シリコン層、誘電体層、第二多結晶シリコン層のこの順の積層からなる内蔵フローティングキャパシタンスを有する半導体装置の製造方法において、低耐圧MOS型電界効果トランジスタのゲート電極を薄いゲート絶縁膜上に前記第一多結晶シリコン層と同時に堆積した多結晶シリコン層から、高耐圧MOS型電界効果トランジスタのゲート電極を厚いゲート絶縁膜上に前記第二多結晶シリコン層と同時に堆積した多結晶シリコン層からそれぞれ形成することを特徴とする半導体装置の製造方法。

【請求項 2】 フローティングキャパシタンスの誘電体層を第一多結晶シリコン層表面層の熱酸化により形成し、その際シリコン基板上に形成される熱酸化膜を高耐圧MOS型電界効果トランジスタの厚いゲート絶縁膜とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 フローティングキャパシタンスの誘電体層をCVD法による絶縁膜により形成し、その際高耐圧MOS型電界効果トランジスタの厚いゲート絶縁膜の少なくとも一部を形成する請求項 1 記載の半導体装置の製造方法。

【請求項 4】 CVD法による絶縁膜がシリコン酸化膜である請求項 3 記載の半導体装置の製造方法。

【請求項 5】 CVD法による絶縁膜がタンタル酸化膜である請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フローティングキャパシタンス内蔵のMOS型電界効果トランジスタ（MOSFET）を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】 フローティングキャパシタンスを含むICにはデバイスとしてMOSFETが多く用いられている。図2は、フローティングキャパシタンスを内蔵した従来のMOSFETを示す。MOSFETはP形シリコン（Si）基板1、その表面層に形成されたN<sup>+</sup>ソース、ドレイン領域11およびその間の表面上にゲート酸化膜12を介して多結晶Siにより形成されたゲート電極13からなる。フローティングキャパシタンスは、基板1上の厚い酸化膜2の上に形成された第一多結晶Si層3、その表面を酸化することにより形成されたSiO<sub>2</sub>膜4および、その上に積層された第二多結晶Si層5とからなる。ソース、ドレイン領域11、第一、第二多結晶Si層3、5には、層間絶縁膜6にけられた接触孔でA1配線7が接触している。

【0003】

【発明が解決しようとする課題】 このような半導体装置のMOSFETの一部を高耐圧化するには、そのMOSFETのゲート酸化膜12を厚くすることと、ソース、

ドレイン領域11のゲート側に低不純物濃度のN形オフセット領域を形成する方法による。しかし一部のMOSFETを高耐圧化するために全部のゲート酸化膜を厚くすることは、MOSFETの微細化に反し、素子の機能も低下する。また、厚さの異なるゲート酸化膜を形成することは、製造プロセス工程を長くし、コストアップの要因となる。

【0004】 本発明の目的は、このような問題を解決し、フローティングキャパシタンスを内蔵したMOSFETの高耐圧化を製造プロセス工程を長くしないで実現できる半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】 上記の目的を達成するために、本発明は、MOSFETが集積されるシリコン基板上に絶縁層を介して第一多結晶シリコン層、誘電体層、第二多結晶シリコン層のこの順の積層からなる内蔵フローティングキャパシタンスを有する半導体装置の製造方法において、低耐圧MOSFETのゲート電極を薄いゲート絶縁膜上に前記第一多結晶シリコン層と同時に堆積した多結晶シリコン層から、高耐圧MOSFETのゲート電極を厚いゲート絶縁膜上に前記第二多結晶シリコン層と同時に堆積した多結晶シリコン層からそれぞれ形成するものとする。フローティングキャパシタンスの誘電体層を第一多結晶シリコン層の表面層の熱酸化により形成し、その際シリコン基板上に形成される熱酸化膜を高耐圧MOSFETの厚いゲート絶縁膜とすることが良い方法である。また、フローティングキャパシタンスの誘電体層をCVD法による絶縁膜により形成し、その際高耐圧MOSFETの厚いゲート絶縁膜の少なくとも一部を形成することも良い方法である。CVD法による絶縁膜がシリコン酸化膜であっても、タンタル酸化膜であってもよい。

【0006】

【作用】 低耐圧MOSFETのゲート電極をフローティングキャパシタンスの下部導体の第一多結晶Si層、高耐圧MOSFETのゲート電極をフローティングキャパシタンスの上部導体の第二多結晶Si層と同時に形成することにより、ゲート電極のための別の成膜工程が不要となって工程数が減少し、それによって高耐圧MOSFETのゲート絶縁膜の全部あるいは一部をフローティングキャパシタンスの誘電体層と同時に形成できるため、厚いゲート絶縁膜を工程の増加なく形成できる。さらに高耐圧MOSFETの厚いゲート絶縁膜に高誘電率の膜を用いることも容易となる。

【0007】

【実施例】 以下、図2を含めて共通の部分に同一の符号を付した図を引用して本発明の実施例について説明する。図1（a）～（d）は、本発明の第一の実施例の製造工程を順に示す。図1（a）においては、P基板1上に厚さ1000nmの選択酸化膜2と厚さ25nmのゲ

ート酸化膜12を形成後、厚さ500nmの第一多結晶Si層3を堆積し、パターニングする。これにより低耐圧MOSFETのゲート電極13が形成される。

【0008】図1(b)においては、1000℃での熱酸化を行い、ゲート酸化膜12の多結晶Si層に覆われない部分を厚さ75nmの熱酸化膜14とすると共に、多結晶Si層3の表面層を厚さ50nmの酸化膜4とする。次に全面に第二多結晶Si層4に堆積し加工する。これにより第一多結晶Si層3、酸化膜4、第二多結晶Si層5からなるフローティングキャパシタンスが形成されると共に、熱酸化膜から高耐圧MOSFETのゲート酸化膜14と第二多結晶Si層5から高耐圧MOSFETのゲート電極15が形成される。

【0009】次の図1(c)においては、高耐圧MOSFET部にゲート電極15をマスクとして $1 \times 10^{13}/\text{cm}^2$ 程度のドーパ量でイオン注入し、深さ1.0 $\mu\text{m}$ 、表面不純物濃度 $2 \times 10^{17}/\text{cm}^3$ 程度の低不純物濃度Nオフセット拡散領域8を形成する。その後、配線とオーミック接触する高不純物濃度のN+ソース・ドレイン領域11を高耐圧MOSFET部、低耐圧MOSFET部の双方に形成する。この際、低耐圧MOSFET部ではゲート電極13をマスクとしてイオン注入するが、高耐圧MOSFET部では、ドレイン部の電界緩和をするNオフセット領域8が残るように、ゲート電極15の端部をレジスト膜で覆ってイオン注入する。図1(d)においては、例えばPSGで層間絶縁膜6を全面に形成し、接触孔をあけ、この上にAlの蒸着等とパターニングにより配線7を形成する。このようにフローティングキャパシタンスの製造工程を利用して7V耐圧の低耐圧MOSFET、30V耐圧の高耐圧MOSFETを作製し、フローティングキャパシタンスを内蔵させることができる。

【0010】上記の実施例で示したフローティングキャパシタンスの誘電体層に、多結晶Siの酸化膜でなく、CVD SiO<sub>2</sub>膜を用いることも可能である。多結晶Siの酸化膜の膜質は、多結晶Siの膜質に依存するため均一な膜ができない。CVD法で成膜した酸化膜は均一である。そこで、図1(a)と同一の図3(a)に示した工程のあと、図3(b)においては第一多結晶Si層3の上にフローティングキャパシタンス誘電体層としてのCVD酸化膜41を50nmの厚さに堆積し、同時に

第一多結晶Si層3に覆われない厚さ25 $\mu\text{m}$ のゲート酸化膜12の上にも厚さ50nmのCVD酸化膜41が堆積する。このあと、第二多結晶Si層4から高耐圧MOSFETのゲート電極15を形成すれば、その下のゲート酸化膜の厚さは75 $\mu\text{m}$ となる。

【0011】以下、図1(c)と同様の図3(c)の工程でNオフセット拡散領域8を形成し、図1(d)と同様の図3(d)の工程を経てフローティングキャパシタンス、低耐圧MOSFETおよび高耐圧MOSFETを備えた半導体装置を完成する。さらに、CVD酸化膜41にCVD法による高誘電率のタンタル酸化膜を用いると、高耐圧MOSFET部のゲート酸化膜が厚くなることで低下する駆動能力を改善できる。

【0012】

【発明の効果】本発明によれば、内蔵フローティングキャパシタンスの下部導体の多結晶Si層と同時に低耐圧MOSFETのゲート電極を形成し、上部導体の多結晶Si層と同時に高耐圧MOSFETのゲート電極を形成することにより工程数を減らすことができ、高耐圧化のための厚いゲート酸化膜形成のための別の工程が不要となり、コストアップが避けられる。また、高耐圧MOSFETのゲート絶縁膜の誘電率を高めて駆動能力を向上させることもできる。この結果、フローティングキャパシタンス内蔵の高耐圧MOSFETおよび低耐圧MOSFETを含む半導体装置を低コストで製造することが可能となった。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の製造工程を(a)ないし(d)の順に示す断面図

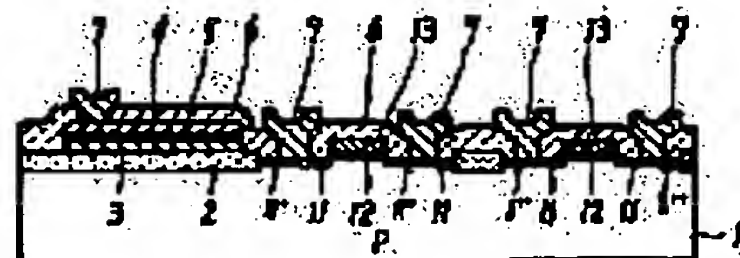
【図2】従来のフローティングキャパシタンス内蔵MOSFETの断面図

【図3】本発明の別の実施例の半導体装置の製造工程を(a)ないし(d)の順に示す断面図

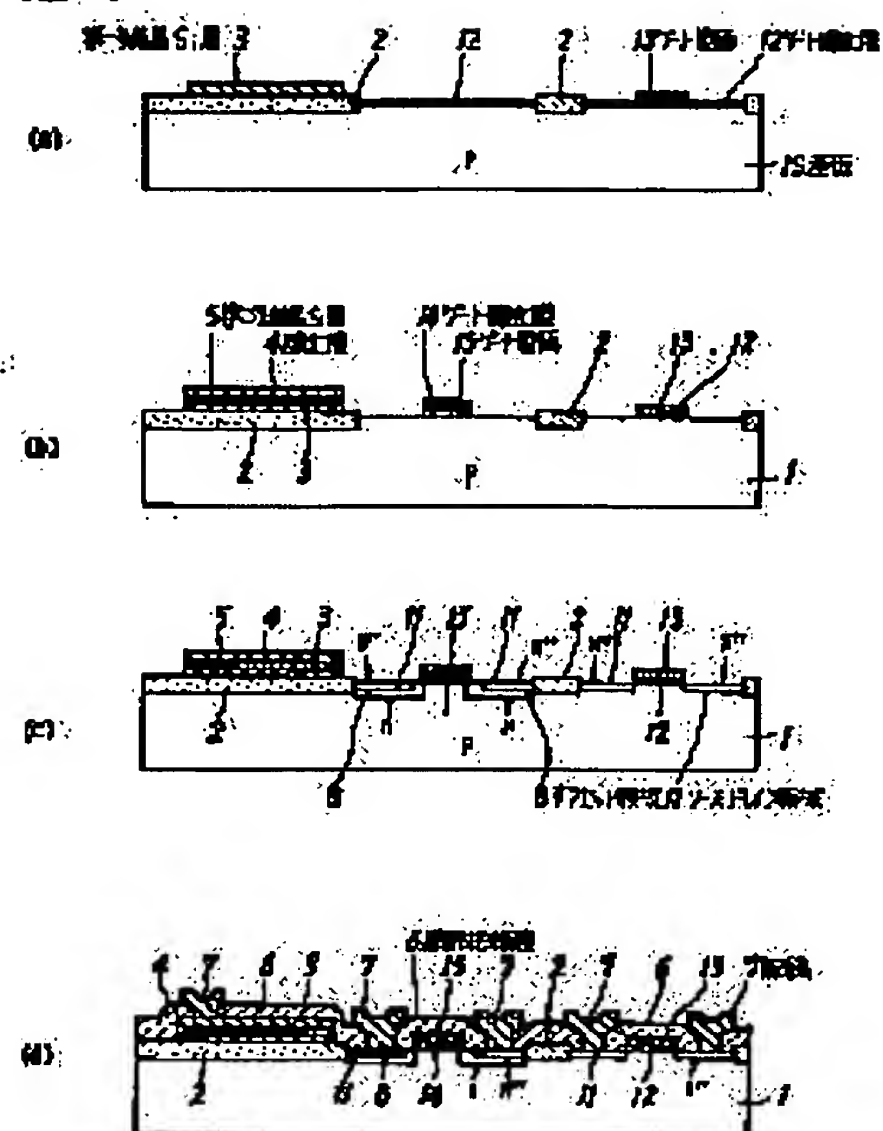
【符号の説明】

- 1 P形Si基板
- 3 第一多結晶Si層
- 4 酸化膜
- 5 第二多結晶Si層
- 12、14 ゲート酸化膜
- 13、15 ゲート電極
- 41 CVD酸化膜

【図2】



【图 1】



【图 3】

